

Patentansprüche

1. Verfahren zum Strukturieren,

bei dem die folgenden Verfahrensschritte ausgeführt werden:

5 Aufbringen einer Hilfsschicht (14, 14c) auf ein Trägermaterial (12, 10c),

Aufbringen einer Maskenschicht (16, 16c) auf die Hilfsschicht (14, 14c) vor dem Erzeugen einer Aussparung (18, 18c),

Strukturieren der Maskenschicht (16, 16c) mit einem lithografischen Verfahren,

10 Strukturieren der Hilfsschicht (14, 14c) und des Trägermaterials (12, 10c) unter Erzeugen der Aussparung (18, 18c) gemäß der strukturierten Maskenschicht (16, 16c),

danach Aufweiten der Aussparung (18, 18c) im Bereich der

15 Hilfsschicht (14, 14c) durch isotropes Rückätzen, wobei die Aussparung (18, 18c) im Bereich des Trägermaterials (12, 10c) nicht oder nicht so stark wie im Bereich der Hilfsschicht (14, 14c) aufgeweitet wird,

20 Auffüllen der aufgeweiteten Aussparung (18b, 18d) mit einem Füllmaterial (22, 22c),

Entfernen der Hilfsschicht (14, 14c) nach dem Auffüllen,

25 Strukturieren des Trägermaterials (12, 10c) unter Verwendung des Füllmaterials (22, 22c) als Maske und unter Erzeugen mindestens einer weiteren Aussparung.

30

2. Verfahren nach Anspruch 1, gekennzeichnet durch den Schritt:

Planarisieren des Füllmaterials (22, 22c) vor dem nochmaligen Strukturieren.

35

3. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass es zum Erzeugen

einer minimalen Strukturbreite kleiner als einhundert Nanometer verwendet wird.

4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, dass es zum Erzeugen einer minimalen Strukturbreite kleiner als fünfzig Nanometer verwendet wird.

5. Verfahren nach einem der vorhergehenden Ansprüche, gekennzeichnet durch die Schritte:

10 Ausbilden einer Maskenschicht (12) als Trägermaterial vor dem Aufbringen der Hilfsschicht (14),
Strukturieren eines Grundmaterials (10) unter Verwendung der Maskenschicht (12) nach dem Strukturieren des Trägermaterials (12) unter Verwendung des Füllmaterials (22).

15 6. Verfahren nach einem der vorhergehenden Ansprüche, gekennzeichnet durch den Schritt:
Verwenden eines Halbleitermaterials (10c) als Trägermaterial (10c), insbesondere eines einkristallinen Halbleitermaterials (10c).

7. Verfahren nach Anspruch 6, gekennzeichnet durch den Schritt:
Ausbilden mindestens einer Schicht (50, 52) in der aufgeweiteten Aussparung (18d) vor dem Auffüllen, insbesondere einer elektrisch isolierenden Schicht (50) und einer elektrisch leitfähigen Schicht (52).

8. Verfahren nach Anspruch 7, dadurch gekennzeichnet, dass die Schicht (50, 52) mit einem Verfahren nach einem der Ansprüche 1 bis 5 strukturiert wird.

9. Verfahren nach einem der Ansprüche 6 bis 8, gekennzeichnet durch die Schritte:

Füllen der weiteren Aussparung mit einem weiteren Füllmaterial (70),

5 Entfernen des zur Strukturierung dienenden Füllmaterials (22, 22c) nach dem Füllen der weiteren Aussparung.

10. Verfahren nach einem der Ansprüche 6 bis 8, gekennzeichnet durch die Schritte:

10 teilweises Entfernen des Füllmaterials (22, 22c) aus der Aussparung (18, 18c), wobei ein Teil des Bodens der Aussparung (18, 18c) freigelegt wird und ein anderer Teil des Bodens der Aussparung (18, 18c) mit Füllmaterial (22, 22c) bedeckt bleibt.

15 11. Verfahren nach einem der Ansprüche 6 bis 10, gekennzeichnet durch den Schritt:

Oxidation des Halbleitermaterials (10c) im Bereich zwischen der Aussparung (18c) und der weiteren Aussparung, insbesondere in einem sich von der Aussparung (18c) zu der weiteren Aussparung erstreckenden Zwischenbereich,

20 ○ vorzugsweise vor dem Entfernen des Füllmaterials (22c) und vorzugsweise nach dem Erzeugen einer Oxidationsschutzschicht (80) an mindestens einer Seitenwand der weiteren Aussparung.

25 12. Feldeffekttransistor (100),
mit zwei Kanalanschlussbereichen (104, 106),
mit einem Steuerbereich (52, 62), der mindestens zwei Steuerbereichsabschnitte enthält,
30 mit einem als Vorsprung (56) eines einkristallinen Substrates (10c) ausgebildeten aktiven Bereich, der einerseits zwischen den Kanalanschlussgebieten (104, 106) und andererseits zwischen zwei Steuerbereichsabschnitten angeordnet ist,

und mit elektrisch isolierenden Isolierbereichen (50, 60), die zwischen den Steuerbereichsabschnitten und dem aktiven Bereich (56) angeordnet sind, wobei der Vorsprung (56) durch ein elektrisch isolierendes Isoliermaterial (82) an seiner Basis vom Substrat (10c) getrennt ist, und wobei das Isoliermaterial (82) am Vorsprung (56) in dem einkristallinen Substrat (10c) lateral endet.

10 13. Feldeffekttransistor (100) nach Anspruch 12, dadurch gekennzeichnet, dass zwei an der Basis des Vorsprungs liegende Seitenflächen des Vorsprungs (56) quer an zwei Substratflächen des Substrats (10c) grenzen, die in zwei zueinander beabstandeten Ebenen angeordnet sind, wobei der 15 Abstand (D) größer als ein Nanometer, größer als drei Nanometer oder größer als fünf Nanometer ist.

14. Feldeffekttransistor (100) nach Anspruch 12 oder 13, dadurch gekennzeichnet, dass die Steuerbereichsabschnitte an den beiden Seitenflächen des Vorsprungs (56) ausgebildet sind.

15. Feldeffekttransistor (100) nach einem der Ansprüche 12 bis 14, dadurch gekennzeichnet, dass das Isoliermaterial (82) nicht über mindestens eine Seitenfläche des Vorsprungs (56) hinausragt.